



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Soichi YAMAZAKI, et al.

GAU:

SERIAL NO: 10/750,814

EXAMINER:

FILED: January 5, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

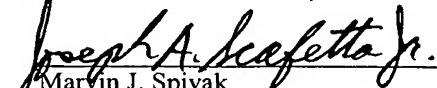
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-323330	September 16, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

055024-1
10/750,814

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 Date of Application: 2003年 9月16日

出願番号 Application Number: 特願2003-323330

[ST. 10/C]: [JP2003-323330]

出願人 Applicant(s): 株式会社東芝

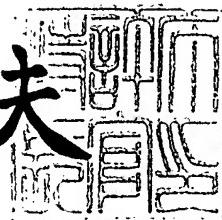
CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2004年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3109129

【書類名】 特許願
【整理番号】 A000300737
【提出日】 平成15年 9月16日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所
 【氏名】 山崎 壮一
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所
 【氏名】 金谷 宏行
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所
 【氏名】 富岡 和広
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所
 【氏名】 山川 晃司
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

基板上に設けられた下部電極、この下部電極上に選択的に設けられたキャパシタ絶縁膜、およびこのキャパシタ絶縁膜を前記下部電極との間に挟んで前記下部電極上に選択的に設けられた上部電極からなるキャパシタと、

導電性を有する材料により形成されて前記上部電極の上面を覆って設けられた電極保護膜と、

この電極保護膜よりも加工され易い材料により形成されて前記キャパシタおよび前記電極保護膜を覆って前記基板上に設けられたマスク膜と、

前記マスク膜上に設けられ、前記マスク膜内に設けられた下部電極用プラグを介して前記下部電極に電気的に接続された下部電極用上層配線と、

前記マスク膜上に設けられ、前記マスク膜内に設けられた上部電極用プラグおよび前記電極保護膜を介して前記上部電極に電気的に接続された上部電極用上層配線と、

を具備することを特徴とする半導体装置。

【請求項 2】

前記電極保護膜は、前記マスク膜に対する加工選択比が25%以下の材料により形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記電極保護膜は、前記マスク膜よりもエッチングレートが低い材料により形成されたエッチングストッパー膜であることを特徴とする請求項1に記載の半導体装置。

【請求項 4】

前記マスク膜はSiO₂のみからなる単層膜またはSiO₂膜を含む積層膜であるとともに、前記電極保護膜はSiO₂膜に対するエッチングレートが25%以下である材料により形成されたエッチングストッパー膜であることを特徴とする請求項3に記載の半導体装置。

【請求項 5】

前記電極保護膜は、II-A族、IV-A族、およびVIII族に属する金属元素のうち少なくとも1種類の金属元素を含む材料により形成されていることを特徴とする請求項1～4のうちのいずれかに記載の半導体装置。

【請求項 6】

前記電極保護膜は、II-A族、IV-A族、およびVIII族に属する金属元素のうち少なくとも1種類の金属元素を含む酸化物導電体により形成されていることを特徴とする請求項5に記載の半導体装置。

【請求項 7】

前記電極保護膜は、Sr, Ti, Ru, Ir, Ptのうち少なくとも1種類の金属元素を含む材料により形成されていることを特徴とする請求項5に記載の半導体装置。

【請求項 8】

前記電極保護膜は、IrO₂, RuO₂, SrRuO₃のうちのいずれかの酸化物導電体により形成されていることを特徴とする請求項6に記載の半導体装置。

【請求項 9】

前記上部電極は、前記電極保護膜を形成する材料を少なくとも1種類含む材料により形成されていることを特徴とする請求項5～8のうちのいずれかに記載の半導体装置。

【請求項 10】

基板上に設けられたキャパシタの下部電極上にキャパシタ絶縁膜を選択的に設けるとともに、前記下部電極との間に前記キャパシタ絶縁膜を挟んでキャパシタの上部電極を設ける工程と、

前記上部電極の上面を覆って導電性を有する材料からなる電極保護膜を設ける工程と、

前記キャパシタおよび前記電極保護膜を覆って前記電極保護膜よりも加工され易い材料からなるマスク膜を設ける工程と、

前記マスク膜を選択的にエッティングし、下部電極用プラグを設けるための第1のプラグ

用凹部、および上部電極用プラグを設けるための第2のプラグ用凹部を設ける工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項11】

前記電極保護膜を前記マスク膜よりもエッチングレートが低い材料により形成するとともに、前記第1および第2のプラグ用凹部とともにR I E工程により並行して形成することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

前記マスク膜をSiO₂のみからなる単層膜またはSiO₂膜を含む積層膜により形成するとともに、前記電極保護膜をSiO₂膜に対するエッチングレートが25%以下である材料により形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】

前記電極保護膜を、酸素雰囲気下においてスパッタリング法により酸化物導電体として形成することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

前記電極保護膜を、酸素雰囲気下においてCVD法により酸化物導電体として形成することを特徴とする請求項12に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

本発明は、例えばDRAMやFeRAMなどの半導体装置におけるキャパシタの電気的性能の向上を図る技術に係り、特にキャパシタがオフセット構造に配置されたChain FeRAMにおいてキャパシタの電極付近の構造の改良を図った半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、デジタル電子機器が取り扱う情報が静止画像情報や動画情報などに広がり、その情報量が大幅に増大している。これに伴って、デジタル電子機器に使用される半導体メモリについても、以前にも増して大容量が要求されている。半導体メモリの大容量化のために、近年、例えばPZT (Pb_xTi_{1-x}O₃)、BIT (Bi₄Ti₃O₁₂)、あるいはSBT (SrBi₂Ta₂O₉) 等の強誘電体からなる膜をキャパシタ絶縁膜として利用する強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory) の開発が進められている。不揮発性メモリであるFeRAMは、簡潔に言えば、キャパシタ絶縁膜（容量絶縁膜）を、DRAMに用いられているシリコン酸化膜などから前述したような強誘電体膜に置き換えたものである。

【0003】

FeRAMのキャパシタセルの構造としては、例えばキャパシタの電極とトランジスタの活性領域とを接続するオフセット型の構造がある（例えば特許文献1～3参照）。前述したような強誘電体材料を利用するFeRAMのうち、これまで実用化されているFeRAMでは、このオフセット構造が採用されている。このオフセット構造のキャパシタセルでは、キャパシタを形成した後、キャパシタ電極に接続されるプラグなどを形成する。このため、キャパシタ絶縁膜となる強誘電体膜等を形成するための熱処理が、プラグへの負担となるおそれが殆ど無いという特徴を有している。

【0004】

また、いわゆるChain FeRAMでは、キャパシタの上層に設けられる上層配線とキャパシタの上部電極または下部電極に接続されるコンタクトプラグとを、一度にまとめて形成するのが一般的である。すなわち、Chain FeRAMでは、上層配線とコンタクトプラグとを、いわゆるデュアルダマシン構造で形成するのが一般的である。以下、図5を参照しつつ、Chain FeRAMが備えるオフセット構造のキャパシタセルについて簡潔に説明する。図5は、Chain FeRAMが備えるオフセット構造のキャパシタセルを示す断面図である。

【0005】

図5に示すChain FeRAM 101では、活性領域102および図示しない素子分離領域が形成されたシリコン基板103上に、ゲート104が2個形成されている。すなわち、シリコン基板103の表層部に、活性領域102、素子分離領域、およびゲート104などからなるMOSトランジスタ105が2個設けられている。各ゲート104は、ゲート酸化膜106、ゲート電極107、ゲートキャップ膜108、およびゲート側壁膜109などから構成されている。ゲート電極107は、積層された第1および第2のゲート電極107a, 107bから構成されている。また、ゲートキャップ膜108およびゲート側壁膜109は、例えばSiN膜により形成されている。

【0006】

また、シリコン基板103上には、活性領域102および各ゲート104を覆って第1の層間絶縁膜110が設けられている。そして、第1の層間絶縁膜110上には、積層された第2および第3の層間絶縁膜111, 112からなる多層層間絶縁膜113が設けられている。これら第1～第3の層間絶縁膜110, 111, 112は、それぞれの上面（表面）を平坦化されている。第3の層間絶縁膜112上には、2個のゲート104 (MO

Sトランジスタ105)の上方に位置してキャパシタ114が2個設けられている。

【0007】

各キャパシタ114は、第3の層間絶縁膜112上に設けられたキャパシタ下部電極115、およびこの下部電極115上に設けられた2個のキャパシタセル116などから構成されている。各キャパシタセル116は、キャパシタ絶縁膜117およびキャパシタ上部電極118などから構成されている。また、各キャパシタセル116は、下部電極115を共通の下部電極として設けられている。各キャパシタ114は、それらの電極を加工する際の保護膜となるハードマスク119により覆われている。ハードマスク119は、第1のハードマスク120および第2のハードマスク121から構成されている。第1のハードマスク120は、各上部電極118の上面(表面)を覆って設けられている。また、第2のハードマスク121は、第1のハードマスク120および各キャパシタ114を覆って設けられている。そして、第2のハードマスク121上には、第4の層間絶縁膜122が設けられている。

【0008】

各キャパシタ114の上方には、これらに電気的に接続される上層配線123が複数本設けられている。これら上層配線123は、下部電極115に電気的に接続される1本の下部電極用配線124、および各上部電極118に電気的に接続される2本の上部電極用配線125などから構成されている。下部電極115は、下部電極用コンタクトプラグ126を介して下部電極用配線124に電気的に接続されている。同様に、各上部電極118は、それぞれ上部電極用コンタクトプラグ127を介して上部電極用配線125に電気的に接続されている。下部電極用配線124および下部電極用コンタクトプラグ126、ならびに上部電極用配線125および上部電極用コンタクトプラグ127は、それぞれ一体に埋め込まれて形成されている。すなわち、下部電極用配線124および下部電極用コンタクトプラグ126、ならびに上部電極用配線125および上部電極用コンタクトプラグ127は、それぞれいわゆるデュアルダマシン構造に形成されている。

【0009】

なお、キャパシタ下部電極115から下部電極用配線124を介してシリコン基板103の活性領域102に接続されるコンタクトプラグなどは、図5に示す断面内に現われ無いため、図5においてそれらの図示を省略する。

【特許文献1】特開平10-256503号公報

【特許文献2】特開2000-357773号公報

【特許文献3】特開2000-349247号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

図5に示されるようなオフセット構造を有するChain FeRAM101では、下部電極115に接続される下部電極用コンタクトプラグ126が、各上部電極118に接続される各上部電極用コンタクトプラグ127に比べて長くなる。ここで、各コンタクトプラグ126、127を形成するための図示しない下部電極用コンタクトホールおよび各上部電極用コンタクトホールを、例えばRIE法により併行して形成するプロセスを採用する。この場合、下部電極用コンタクトホールが下部電極115に達するまでエッチング処理を行うと、各上部電極用コンタクトホールの深さが適正な深さよりも深くなってしまう。すなわち、各上部電極用コンタクトホールのエッチング量が適正量よりも多くなり、各上部電極118のエッチングが進行する。これにより、図5に示すように、各上部電極118の膜減りや突き抜けが生じる。

【0011】

本発明者らが行った実験によれば、図5に示されるような一般的なChain FeRAM101では、第2のハードマスク121に対する第1のハードマスク120のRIE法におけるエッチングレートが25%を超えると、略確実に各上部電極118の突き抜けが生じることが分かった。各上部電極118に膜減りや突き抜けが生じると、例えば以下に述べ

るような問題を引き起こし易い。

【0012】

第1に、例えば配線材料としてのA1を、リフロー法により各上部電極用コンタクトホール内に設けるとする。この場合、各上部電極118に膜減りや突き抜けが存在すると、各上部電極118を介して各キャパシタ絶縁膜117に不要な膜ストレスを与え易い。これにより、各キャパシタ114の特性が劣化し易くなる。

【0013】

第2に、各上部電極118に突き抜けが生じると、各キャパシタ絶縁膜117がRIE工程のプラズマ雰囲気に直接晒される。これにより、各キャパシタ絶縁膜117が、各キャパシタ114の特性が著しく劣化するようなダメージを受け易くなる。また、各上部電極118に突き抜けが生じると、各上部電極用コンタクトホール内に設けられるTi、TiN、TaN、Al、W、あるいはCuなどの配線材料が、各キャパシタ絶縁膜117に直接接触する。これにより、それらの配線材料と各キャパシタ絶縁膜117とが容易に反応して、各キャパシタ114の特性が劣化し易くなる。

【0014】

第3に、たとえ各上部電極118に突き抜けが生じなくとも、各上部電極118に膜減りが生じると、図示しないレジストのRIE工程中の反応により生成されるH₂によって、各キャパシタ114がダメージを受け易くなる。これによても、各キャパシタ114の特性が劣化し易くなる。

【0015】

このように、各上部電極118に膜減りや突き抜けが生じると、各キャパシタ114の特性が劣化するおそれがある。ひいては、図5に示されるようなChain FeRAM101の歩留まりや信頼性を著しく劣化させる原因となる。

【0016】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、上部電極の膜減りや突き抜けが防止されて、品質、電気的性能、および信頼性の向上が図られた構造を有するキャパシタを備えた半導体装置を提供することにある。それとともに、そのような半導体装置を容易に製造できる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0017】

前記課題を解決するために、本発明の一態様に係る半導体装置は、基板上に設けられた下部電極、この下部電極上に選択的に設けられたキャパシタ絶縁膜、およびこのキャパシタ絶縁膜を前記下部電極との間に挟んで前記下部電極上に選択的に設けられた上部電極からなるキャパシタと、導電性を有する材料により形成されて前記上部電極の上面を覆って設けられた電極保護膜と、この電極保護膜よりも加工され易い材料により形成されて前記キャパシタおよび前記電極保護膜を覆って前記基板上に設けられたマスク膜と、前記マスク膜上に設けられ、前記マスク膜内に設けられた下部電極用プラグを介して前記下部電極に電気的に接続された下部電極用上層配線と、前記マスク膜上に設けられ、前記マスク膜内に設けられた上部電極用プラグおよび前記電極保護膜を介して前記上部電極に電気的に接続された上部電極用上層配線と、を具備することを特徴とするものである。

【0018】

この半導体装置においては、キャパシタの上部電極とキャパシタを覆って設けられたマスク膜との間に、マスク膜よりも加工され難い材料により形成された電極保護膜が設けられている。これにより、下部電極用プラグを設けるための凹部と上部電極用プラグを設けるための凹部とが、下部電極用プラグを設けるための凹部が下部電極の上面を露出するまで並行してマスク内に形成されても、上部電極用プラグを設けるための凹部が電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれがある。すなわち、上部電極の膜減りや突き抜けが防止された構造を有するキャパシタを備えている。

【0019】

また、前記課題を解決するために、本発明の他の態様に係る半導体装置の製造方法は、基板上に設けられたキャパシタの下部電極上にキャパシタ絶縁膜を選択的に設けるとともに、前記下部電極との間に前記キャパシタ絶縁膜を挟んでキャパシタの上部電極を設ける工程と、前記上部電極の上面を覆って導電性を有する材料からなる電極保護膜を設ける工程と、前記キャパシタおよび前記電極保護膜を覆って前記電極保護膜よりも加工され易い材料からなるマスク膜を設ける工程と、前記マスク膜を選択的にエッチングし、下部電極用プラグを設けるための第1のプラグ用凹部、および上部電極用プラグを設けるための第2のプラグ用凹部を設ける工程と、を含むことを特徴とするものである。

【0020】

この半導体装置の製造方法においては、キャパシタの上部電極とキャパシタを覆って設けられるマスク膜との間に、マスク膜よりも加工され難い材料により形成された電極保護膜を設ける。これにより、下部電極用プラグを設けるための第1のプラグ用凹部と上部電極用プラグを設けるための第2のプラグ用凹部とを、第1のプラグ用凹部が下部電極の上面を露出するまで並行してマスク内に形成しても、第1のプラグ用凹部が電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれを容易に殆ど無くすことができる。すなわち、上部電極の膜減りや突き抜けが防止された構造を有するキャパシタを容易に作製することができる。

【発明の効果】

【0021】

本発明の一態様に係る半導体装置においては、キャパシタの上部電極とキャパシタを覆って設けられたマスク膜との間に、マスク膜よりも加工選択比が低い材料により形成された電極保護膜が設けられている。これにより、キャパシタの下部電極に電気的に接続される下部電極用プラグを設けるための凹部と並行して形成される、上部電極に電気的に接続される上部電極用プラグを設けるための凹部が、電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれが殆ど無い。すなわち、本発明に係る半導体装置は、上部電極の膜減りや突き抜けが防止されて、品質、電気的性能、および信頼性の向上が図られた構造を有するキャパシタを備えている。

【0022】

また、本発明の他の態様に係る半導体装置の製造方法によれば、キャパシタの上部電極とキャパシタを覆って設けられるマスク膜との間に、マスク膜よりも加工選択比が低い材料により形成された電極保護膜を設ける。これにより、下部電極用プラグを設けるための第1のプラグ用凹部と上部電極用プラグを設けるための第2のプラグ用凹部とを、第1のプラグ用凹部が下部電極の上面を露出するまで並行してマスク内に形成しても、第1のプラグ用凹部が電極保護膜を貫通して上部電極の内部に侵入したり、上部電極を貫通したりするおそれを容易に殆ど無くすことができる。すなわち、本発明に係る半導体装置の製造方法によれば、上部電極の膜減りや突き抜けが防止されて、品質、電気的性能、および信頼性の向上が図られた構造を有するキャパシタを備えた半導体装置を容易に製造できる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の詳細を図示の実施形態によって説明する。

【0024】

先ず、本発明の一実施形態に係る半導体装置を、主に図1を参照しつつ説明する。図1は、本実施形態に係る半導体装置を示す平面図および断面図である。より具体的には、図1(a)は、いわゆるChain F e R A Mが備えるオフセット構造のキャパシタセル(メモリセル)付近の構造をその上方から臨んで示す平面図であり、図1(b)は、図1(a)中破断線A-A'に沿って示す断面図である。

【0025】

図1(b)に示すように、Chain F e R A M 1が備えるp型シリコン基板2の表層部には、ソース・ドレイン拡散層(n⁻拡散層)となる活性領域3、および図示しない浅い溝

型の素子分離 (Shallow Trench Isolation : STI) 領域が形成されている。そして、活性領域3の両端部の上に、ゲート4がそれぞれ1個ずつ設けられている。したがって、p型シリコン基板2の表層部には、ソース・ドレイン拡散層3および2個のゲート4などからなるMOSトランジスタ5が2個設けられている。各ゲート4は、ゲート絶縁膜6、ワード線となるゲート電極7、ゲートキャップ膜8、およびゲート側壁膜9などから構成されている。各ゲート絶縁膜6は、例えばSiO₂膜などのシリコン酸化膜により形成されている。また、各ゲート電極7は、例えばポリSi膜7a上にWSi_x膜(WSi₂膜)7bが積層されたポリサイド構造に形成されている。そして、ゲートキャップ膜8およびゲート側壁膜9は、例えばSiN膜などのシリコン窒化膜により形成されている。

【0026】

また、p型シリコン基板2の表面上には、ソース・ドレイン拡散層3および各ゲート4を覆って第1の層間絶縁膜としてのCVD酸化膜10が設けられている。そして、このCVD酸化膜10の表面上には、さらに第2の層間絶縁膜としてのCVD窒化膜11および第3の層間絶縁膜としてのシリコン酸化膜12が連続して積層されて設けられている。シリコン酸化膜12の表面上には、2個のゲート4(MOSトランジスタ5)の上方に位置してキャパシタ(容量素子)13が2個設けられている。

【0027】

各キャパシタ13は、シリコン酸化膜12の表面(上面)を覆って設けられたキャパシタ下部電極14、およびこの下部電極14の表面(上面)上に選択的に設けられた2個のキャパシタセル15などから構成されている。各キャパシタセル15は、キャパシタ絶縁膜(容量絶縁膜)16、およびこのキャパシタ絶縁膜16を下部電極14との間に挟んで設けられたキャパシタ上部電極17などから構成されている。また、各キャパシタセル15は、下部電極14を共通の下部電極として設けられている。

【0028】

下部電極14は、例えばSrRuO₃膜(SRO膜)、Ir膜、IrO₂膜、Pt膜、Ti膜、TiN膜、Ru膜、RuO₂膜などにより形成される。あるいは、下部電極14は、それら各膜のうちの幾つかの膜を組み合わせて積層した積層膜により形成される。このような積層膜の代表例としては、SRO/Ti/Pt/Ti積層膜、SRO/Ti/IrO₂/Ir/Ti積層膜、あるいはSRO/Ti/Ir/Ti積層膜などが挙げられる。なお、これら各積層膜の構成は、それぞれ上側から下側に向けて順番に記載した。本実施形態では、下部電極14をSRO/Ti/Pt/Ti積層膜を用いて形成する。

【0029】

また、キャパシタ絶縁膜16は、例えばPb(ZrxTiy)O₃膜(PZT膜)、Bi₄Ti₃O₁₂膜(BIT膜)、あるいはSrB_i₂T_a₂O₉膜(SBT膜)などの強誘電体膜(強誘電体薄膜)により形成される。本実施形態では、キャパシタ絶縁膜16をPZT膜を用いて形成する。

【0030】

さらに、上部電極17は、下部電極14と同様の材料(膜)により形成される。上部電極17の形成材料のうち、積層膜の代表例としては、Pt/SRO積層膜、IrO₂/Ir/SRO積層膜、あるいはIr/SRO積層膜などが挙げられる。なお、これら各積層膜の構成も、前述した下部電極14の積層膜と同様に、それぞれ上側から下側に向けて順番に記載した。本実施形態では、上部電極17をPt/SRO積層膜を用いて形成する。

【0031】

各キャパシタ13には、それぞれの上部電極17の上面(表面)を覆って、導電性を有する材料により形成された電極保護膜18が設けられている。この電極保護膜18は、電極保護膜18が設けられた各キャパシタセル15および下部電極14を覆って設けられる、後述するマスク膜19よりも加工され難い材料により形成される。以下、電極保護膜18について詳しく説明する。

【0032】

本実施形態では、図1(b)に示すように、キャパシタ13の上部電極17が下部電極

14よりも高い位置に形成されている。したがって、上部電極17上のマスク膜19の膜厚は、下部電極14上のマスク膜19の膜厚よりも薄い。このような構造において、図3(b)に示すように、上部電極17に電気的に接続される後述する上部電極用コンタクトプラグ22bを設けるための上部電極用コンタクトホール25bを、下部電極14に電気的に接続される後述する下部電極用コンタクトプラグ22aを設けるための下部電極用コンタクトホール25aと並行して、互いに略同じレートで形成するとする。言うまでもないが、上部電極用コンタクトホール25bは、電極保護膜18の上面(表面)を露出するように、下部電極14上のマスク膜19よりも薄肉である上部電極17上のマスク膜19を貫通して形成されればよい。これに対して、下部電極用コンタクトホール25aは、下部電極14の上面(表面)を露出するように、上部電極17上のマスク膜19よりも厚肉である下部電極14上のマスク膜19を貫通して形成される必要がある。すなわち、下部電極用コンタクトホール25aは、キャパシタ絶縁膜16、上部電極17、および電極保護膜18を合わせた高さ分、上部電極用コンタクトホール25bよりも深い。

【0033】

前述したように、上部電極用コンタクトホール25bを下部電極用コンタクトホール25aと並行して略同じレートで形成すると、マスク膜19内では下部電極用コンタクトホール25aは上部電極用コンタクトホール25bと略同じ深さまでしか到達することができない。したがって、上部電極用コンタクトホール25bが上部電極17上のマスク膜19を貫通して電極保護膜18の上面が露出されても、下部電極用コンタクトホール25aは下部電極14上のマスク膜19を貫通しておらず、下部電極14の上面は露出されていない。そこで、下部電極14の上面が露出するまで、下部電極用コンタクトホール25aをさらに掘り下げる。ここで、仮に電極保護膜18がマスク膜19と同程度に加工され易い材料により形成されているとする。すると、下部電極用コンタクトホール25aが掘り下げられるのに伴って、上部電極用コンタクトホール25bもさらに掘り下げられて電極保護膜18を貫通する。ひいては、上部電極用コンタクトホール25bによって上部電極17が削られたり、上部電極用コンタクトホール25bが上部電極17を貫通したりする。すなわち、上部電極17に膜減りや突き抜けが生じたりする。

【0034】

このように、互いに深さの異なる下部電極用コンタクトホール25aと上部電極用コンタクトホール25bとを並行して略同じレートで形成する場合、電極保護膜18をマスク膜19と同程度に加工し易い材料で形成すると、上部電極17が膜減りや突き抜け等の損傷を受ける。上部電極17が損傷を受けると、キャパシタ13の特性が劣化する。ひいては、キャパシタ13を備えるChain FeRAM1の品質や性能が劣化して、その信頼性および歩留まり等が低下する。そこで、本実施形態では、上部電極17が損傷を受けるのを防ぐために、電極保護膜18をマスク膜19よりも加工され難い材料により形成する。すなわち、下部電極14の上面が下部電極用コンタクトホール25aにより露出されるまで、下部電極用コンタクトホール25aよりも浅い上部電極用コンタクトホール25bを下部電極用コンタクトホール25aと並行して略同じレートで形成しても、上部電極17に膜減りや突き抜け等の損傷が生じない程度に加工困難な材料を用いて電極保護膜18を形成する。

【0035】

本実施形態では、具体的には、電極保護膜18を、エッチングレートがマスク膜19よりも低い材料を用いてエッチングストッパー膜として形成する。本発明者らが行った実験によれば、電極保護膜18を、マスク膜19に対する加工選択比が約25% (1/4) 以下である材料を用いて形成することにより、図1(b)に示すChain FeRAM1と同等の構造を有する半導体装置において、例えば0.30μm以下のデザインルールに基づく集積度および微細度で製造される半導体装置はもちろんのこと、さらに高集積化および微細化が進んだ半導体装置においても、膜減りや突き抜け等の損傷が上部電極17に生じるおそれが殆ど無いことが確認された。すなわち、電極保護膜18を、エッチングレートがマスク膜19よりも著しく低い材料を用いて形成することにより、下部電極14の上面が

下部電極用コンタクトホール25aにより露出されるまで、下部電極用コンタクトホール25aよりも浅い上部電極用コンタクトホール25bを下部電極用コンタクトホール25aと並行して略同じレートで形成しても、膜減りや突き抜け等の損傷が上部電極17に生じるおそれがあることが確認された。

【0036】

なお、本明細書中において、マスク膜19に対する電極保護膜18の加工選択比とは、マスク膜19に対する電極保護膜18の加工し易さ、または加工し難さを指すものとする。同様に、電極保護膜18に対するマスク膜19の加工選択比とは、電極保護膜18に対するマスク膜19の加工し易さ、または加工し難さを指すものとする。具体的には、マスク膜19に対する電極保護膜18の加工選択比とは、マスク膜19に対する電極保護膜18のエッチングレートを指すものとする。同様に、電極保護膜18に対するマスク膜19の加工選択比とは、電極保護膜18に対するマスク膜19のエッチングレートを指すものとする。

【0037】

例えば、マスク膜19をSiO₂膜単体、あるいはSiO₂膜を含む複数の膜からなる積層膜を用いて形成する。この場合、エッチングストッパー膜18をSRO膜、Ru膜、RuO₂膜、あるいはIrO₂膜などを用いて形成する。好ましくは、これら各材料のうち、酸化物導電体であるSRO膜、RuO₂膜、およびIrO₂膜などを用いてエッチングストッパー膜18を形成する。これら各膜は、例えばRIE法によりSiO₂膜をエッチングする条件の下では殆どエッチングされないため、SiO₂膜に対するエッチングレートを取ることは実質的に不可能である。すなわち、SiO₂膜は、エッチングストッパー膜18として採用可能な前記各膜に対するRIE工程における加工選択比（エッチングレート）を、実質的に無限大とみなすことができる材料である。本実施形態では、エッチングストッパー膜18をSRO膜を用いて形成する。

【0038】

さらに、p型シリコン基板2上には、下部電極14の上面および各上部電極17の上面をエッチングストッパー膜18によって覆われた各キャパシタセル15を覆って、マスク膜（第4の層間絶縁膜）19が設けられている。本実施形態では、マスク膜19は、第1のハードマスク膜19aおよび第2のハードマスク膜19bの2層構造からなるハードマスク膜として形成されている。第1のハードマスク膜19aは、各エッチングストッパー膜18の上面を覆って設けられている。また、第2のハードマスク膜19bは、第1のハードマスク膜19aが設けられた各キャパシタセル15および下部電極14の表面を覆って設けられている。前述したように、ハードマスク膜19は、RIE工程におけるエッチングレートがエッチングストッパー膜18よりも著しく高い材料を用いて形成される。本実施形態では、第1および第2の各ハードマスク膜19a, 19bを、ともにAl₂O₃膜上にSiO₂膜を積層させた2層構造からなる積層膜を用いて形成する。そして、第2のハードマスク膜19b上には、その表面を覆って第5の層間絶縁膜としてのSiO₂膜20が設けられている。

【0039】

また、図1(b)に示すように、ハードマスク膜19および第5の層間絶縁膜20内には、各キャパシタ13の下部電極14または上部電極17と電気的に接続される上層配線21およびプラグ22が設けられている。具体的には、下部電極14のキャパシタ絶縁膜16に覆われていない領域の上方に、下部電極14に電気的に接続される下部電極用上層配線（第1の配線）21aが1本設けられている。この下部電極用上層配線21aは、第2のハードマスク膜19bを略貫通して一体に形成された下部電極用コンタクトプラグ（第1のコンタクトプラグ）22aを介して、下部電極14に電気的に接続されている。また、各キャパシタセル15の上方には、各上部電極17に電気的に接続される上部電極用上層配線（第2の配線）21bが1本ずつ設けられている。これら各上部電極用上層配線21bは、各上部電極17上の第1および第2の各ハードマスク膜19a, 19bを略貫通して一体に形成された上部電極用コンタクトプラグ（第2のコンタクトプラグ）22b

および各エッチングストッパー膜18を介して、各上部電極17に電気的に接続されている。

【0040】

このように、下部電極用上層配線21aと下部電極用コンタクトプラグ22a、および各上部電極用上層配線21bと各上部電極用コンタクトプラグ22bは、それぞれいわゆるデュアルダマシン構造に形成されている。本実施形態では、下部電極用上層配線21aと下部電極用コンタクトプラグ22a、および各上部電極用上層配線21bと各上部電極用コンタクトプラグ22bは、すべてアルミニウム(A1)を用いて一体に形成されている。各上層配線21a, 21bおよび各コンタクトプラグ22a, 22bの周囲には、バリアメタル膜23が設けられている。本実施形態では、バリアメタル膜23は、導電性を有するセラミック層であるTiN膜23aと、金属層であるTi膜23bとの2層構造に形成されている。TiN膜23aは、各上層配線21a, 21bおよび各コンタクトプラグ22a, 22bに直接接触して設けられている。また、Ti膜23bは、下部電極14または各エッチングストッパー膜18に直接接触して設けられている。

【0041】

また、図1(b)に示される断面内には現れないため図示を省略するが、第1～第5の層間絶縁膜10, 11, 12, 19, 20には、下部電極用上層配線21aを介して下部電極14とソース・ドレイン拡散層3とを電気的に接続するためのコンタクトプラグが形成される。このコンタクトプラグは、第1～第5の層間絶縁膜10, 11, 12, 19, 20内にコンタクトホールを形成し、このコンタクトホール内にn⁺多結晶シリコン膜を埋め込むことにより形成される。同じく図示を省略するが、同様の方法により、第1～第5の層間絶縁膜10, 11, 12, 19, 20には、各上部電極用上層配線21bを介して各上部電極17とソース・ドレイン拡散層3とを電気的に接続するためのコンタクトプラグが形成される。

【0042】

なお、図1(b)においては、図面を見易くするために、積層膜からなる下部電極14、上部電極17、ならびに第1および第2のハードマスク膜19a, 19bを、それぞれ簡略化して1層の膜として描いた。

【0043】

次に、本発明の一実施形態に係る半導体装置の製造方法を図2～図4を参照しつつ説明する。図2～図4は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。より具体的には、図2～図4は、前述したChain F e R A M 1の製造方法を示す工程断面図である。

【0044】

先ず、図2(a)に示すように、p型シリコン基板2の表層部に、スイッチ動作を司るMOSトランジスタ5を2個形成する。はじめに、p型Si基板2の表層部のうち、トランジスタ活性領域(ソース・ドレイン拡散層)3以外の領域に、素子分離のための図示しない溝(凹部)を複数個形成する。続けて、各溝内にSiO₂を埋め込むことにより、p型Si基板2の表層部に図示しない複数の素子分離(Shallow Trench Isolation: STI)領域を形成する。続けて、熱酸化法により、複数のSTI領域が形成されたp型Si基板2の表面上にゲート絶縁膜となるシリコン酸化膜(SiO₂膜)6を約6nmの膜厚で全面的に設ける。続けて、シリコン酸化膜6の表面上に、砒素(A_s)がドープされたn⁺型多結晶シリコン膜(ポリSi膜)7aを全面的に設ける。このポリSi膜7aは、ゲート電極7の下層部となる。続けて、このポリSi膜7aの表面上に、WSi₂膜(WSi_x膜)7bおよびシリコン窒化膜(SiN膜)8を連続して積層する。WSi₂膜7bは、ゲート電極7の上層部となる。また、SiN膜8はゲートキャップ膜となる。

【0045】

しかる後、SiO₂膜6、ポリSi膜7a、WSi₂膜7b、およびSiN膜8を、通常の光リソグラフィー法およびRIE法により加工する。これにより、p型Si基板2の表面上に、ポリSi膜7a上にWSi₂膜7bが積層されたポリサイド構造を有するゲート

電極7を2個形成する。続けて、ゲート電極7などが形成されたp型Si基板2の表面上にシリコン窒化膜(SiN膜)9を堆積させる。この後、RIE法を用いるいわゆる側壁残しの手法によってSiN膜9を所定の形状に加工して、各ゲート電極7の両側部にゲート側壁膜(スペーサ部)9を設ける。これにより、p型Si基板2の表面上に、各MOSトランジスタ5の主要部となるゲート4が2個設けられる。また、プロセスの詳細な説明は省略するが、ゲート側壁膜9を設ける際に、通常のイオン注入法および所定の加熱処理によって、p型Si基板2の表層部にソース・ドレイン領域(トランジスタ活性領域)3を形成する。これにより、p型Si基板2の表層部に、ソース・ドレイン領域3および2個のゲート4などからなるMOSトランジスタ5が2個設けられる。

【0046】

続けて、CVD法により、例えばSiO₂膜などの絶縁性を有する酸化膜(CVD酸化膜)10を、2個のMOSトランジスタ5が形成されたp型Si基板2の表面上に、それらを覆って全面的に堆積させる。この後、堆積したCVD酸化膜10の上面(表面)をCMP法により平坦化する。このCVD酸化膜は、第1の層間絶縁膜10となる。

【0047】

続けて、例えばRIE法により、第1の層間絶縁膜10内に、ソース・ドレイン領域3に連通する図示しないコンタクトホールを形成する。この後、例えばスパッタリング法あるいはCVD法により、コンタクトホールが形成された第1の層間絶縁膜10の表面上に図示しない薄いチタン膜(Ti薄膜)を堆積させる。続けて、このTi薄膜に対して、窒素を含む所定のフォーミングガス中で所定の加熱処理を施すことによって、その上層部を図示しないTiN薄膜に変質させる。続けて、コンタクトホールの内部が埋まるまで、TiN薄膜の表面上に図示しないn⁺多結晶シリコン膜をCVD法により全面的に堆積させる。この後、第1の層間絶縁膜10の表面が露出するまでCMP法を行うことにより、コンタクトホールの外部に設けられたn⁺多結晶シリコン膜、ならびにTiN薄膜およびTi薄膜からなる積層膜を研磨して除去する。すなわち、コンタクトホール内に、コンタクトプラグとなるn⁺多結晶シリコン膜およびバリアメタル膜となるTiN/Ti積層膜を埋め込む。これにより、第1の層間絶縁膜10内に、ソース・ドレイン領域3に電気的に接続される図示しないコンタクトプラグを形成する。

【0048】

続けて、CVD法により、例えばSiN膜などの絶縁性を有する窒化膜(CVD窒化膜)11を、コンタクトプラグが形成された第1の層間絶縁膜10の表面上に全面的に堆積させる。この後、第1の層間絶縁膜10と同様に、堆積したCVD窒化膜11の上面(表面)をCMP法により平坦化する。このCVD窒化膜は、第2の層間絶縁膜11となる。

【0049】

続けて、例えばRIE法により、第2の層間絶縁膜11および第1の層間絶縁膜10内に、図示しない他のソース・ドレイン領域に連通する図示しない他のコンタクトホールを形成する。この後、前述したコンタクトプラグを形成する場合と同様の方法により、第1および第2の層間絶縁膜10, 11内に形成されたコンタクトホール内に、図示しないコンタクトプラグとなるn⁺多結晶シリコン膜およびバリアメタル膜となるTiN/Ti積層膜を埋め込む。これにより、第1および第2の層間絶縁膜10, 11内に、他のソース・ドレイン領域およびキャパシタ13に電気的に接続される図示しないコンタクトプラグを形成する。

【0050】

続けて、CVD法により、例えばSiO₂膜などの絶縁性を有する酸化膜(CVD酸化膜)12を、コンタクトプラグが形成された第2の層間絶縁膜11の表面上に全面的に堆積させる。この後、第1および第2の層間絶縁膜10, 11と同様に、堆積したCVD酸化膜12の上面(表面)をCMP法により平坦化する。このCVD酸化膜は、第3の層間絶縁膜12となる。

【0051】

次に、図2(b)に示すように、第3の層間絶縁膜12の表面上に、キャパシタ13の

下部電極となる膜（層）14を全面的に設ける。続けて、この膜14の上に、キャパシタ13の絶縁膜となる膜（層）16、キャパシタ13の上部電極となる膜（層）17、エッティングストッパー膜となる膜（層）18、および第1のハードマスク膜となる膜（層）19aを、順次連続して積層する。

【0052】

次に、図3（a）に示すように、第3の層間絶縁膜12の表面上に設けられた各膜14, 16, 17, 18, 19aを加工して、2個のMOSトランジスタ5の上方にキャパシタ13をそれぞれ1個ずつ形成する。

【0053】

以下、キャパシタ下部電極14をSRO/Ti/Pt/Ti積層膜で、キャパシタ絶縁膜16をPZT膜で、キャパシタ上部電極17をPt/SRO積層膜で、エッティングストッパー膜18をSRO膜で、そして上部電極加工用ハードマスク膜19aをSiO₂/Al₂O₃積層膜でそれぞれ形成する場合を例に挙げて、キャパシタ13を形成する工程について具体的に説明する。ただし、図2～図4においては、図面を見易くするために、積層膜からなる下部電極14、上部電極17、ならびに上部電極加工用ハードマスク膜19aを、それぞれ簡略化して1層の膜として描いた。また、上部電極加工用ハードマスク膜19aと同様に、SiO₂/Al₂O₃積層膜からなる下部電極加工用ハードマスク膜（第2のハードマスク膜）19bも、図2～図4において簡略化して1層の膜として描いた。

【0054】

先ず、第3の層間絶縁膜としてのSiO₂膜12の表面上に、スパッタリング法によりTi膜を約2.5nm堆積させる。続けて、Ti膜を大気に晒さずに、Ti膜上に、スパッタリング法によりPt膜を約100nm堆積させる。続けて、Pt膜上に、スパッタリング法により、Ti膜を約2.5nm、SRO膜を約10nm連続して堆積させる。この後、O₂雰囲気下で、Ti膜、Pt膜、Ti膜、およびSRO膜からなる積層膜に、約650℃の急速熱アニール（Rapid Thermal Anneal: RTA）処理を約30秒間施す。これにより、キャパシタ下部電極14となるSRO/Ti/Pt/Ti積層膜を得る。

【0055】

次に、SRO膜の表面上に、スパッタリング法によりPZT膜16を約80～140nm堆積させる。この後、PZT膜16を結晶化するために、O₂雰囲気下で、PZT膜16に約650℃のRTA処理を約30秒間施す。これにより、キャパシタ絶縁膜となるPZT膜16を得る。

【0056】

次に、PZT膜16の表面上に、スパッタリング法によりSRO膜を約10nm堆積させる。この後、O₂雰囲気下で、SRO膜に約650℃のRTA処理を約30秒間施す。続けて、SRO膜上に、スパッタリング法によりPt膜を約50nm堆積させる。これにより、キャパシタ上部電極17となるPt/SRO積層膜を得る。

【0057】

次に、Pt膜の表面上に、スパッタリング法によりエッティングストッパー膜となるSRO膜18を堆積させる。

【0058】

次に、SRO膜18の表面上に、スパッタリング法によりAl₂O₃膜を堆積させる。続けて、Al₂O₃膜上に、CVD法によりSiO₂膜を堆積させる。これにより、上部電極加工用ハードマスク膜（第1のハードマスク膜）19aとなるSiO₂/Al₂O₃積層膜を得る。このSiO₂/Al₂O₃積層膜19aは、具体的には、各キャパシタ13の上部電極17にRIE加工を施す際のRIE加工用ハードマスク膜となる。

【0059】

これまでの工程により、図2（b）に示す構造を得る。

【0060】

次に、上部電極加工用ハードマスク膜（SiO₂/Al₂O₃積層膜）19aの表面上に図示しないレジストマスクを設けた後、このレジストマスクを光リソグラフィ法およびR

I E法などにより所定の形状に加工する。続けて、上部電極加工用ハードマスク膜19aを、R I E法により所定の形状に加工する。この後、アッシャー処理を行ってレジストマスクを除去する。続けて、上部電極加工用ハードマスク膜19aをマスクとして、エッチングストッパー膜(S R O膜)18、キャパシタ上部電極(P t/S R O積層膜)17、およびキャパシタ絶縁膜(P Z T膜)16を、順次R I E法により所定の形状に加工する。

【0061】

次に、図3(a)に示すように、キャパシタ下部電極(S R O/T i/P t/T i積層膜)14の表面上に、2個のキャパシタ13を覆って下部電極加工用ハードマスク膜(第2のハードマスク膜)19bとなるS i O₂/A l₂O₃積層膜を設ける。このS i O₂/A l₂O₃積層膜19bは、上部電極加工用ハードマスク膜となるS i O₂/A l₂O₃積層膜19aと同様に、例えばC V D法あるいはスパッタリング法により、キャパシタ下部電極14の表面上にA l₂O₃およびS i O₂を順次連続して堆積させることにより設けられる。このS i O₂/A l₂O₃積層膜19bは、具体的には、キャパシタ下部電極14にR I E加工を施す際のR I E加工用ハードマスク膜となる。

【0062】

次に、下部電極加工用ハードマスク膜(S i O₂/A l₂O₃積層膜)19bの表面上に図示しないレジストマスクを設けた後、このレジストマスクを光リソグラフィ法およびR I E法などにより所定の形状に加工する。続けて、下部電極加工用ハードマスク膜19bを、R I E法により所定の形状に加工する。この後、アッシャー処理を行ってレジストマスクを除去する。続けて、下部電極加工用ハードマスク膜19bをマスクとして、キャパシタ下部電極14をR I E法により所定の形状に加工する。

【0063】

これまでの工程により、図3(a)に示すように、2個のMOSトランジスタ5の上方に、所望のキャパシタ13をそれぞれ1個ずつ形成する。

【0064】

次に、図3(b)に示すように、下部電極加工用ハードマスク膜19bの表面上に、例えばC V D法により第4の層間絶縁膜としてのS i O₂膜20を堆積させる。続けて、この第4の層間絶縁膜(S i O₂膜)20の表面上に図示しないレジストマスクを設けた後、このレジストマスクを光リソグラフィ法およびR I E法などにより所定の形状に加工する。続けて、光リソグラフィ法およびR I E法などにより、下部電極用上層配線(第1の配線)21aを設けるための第1の配線用凹部24a、および下部電極用コンタクトプラグ(第1のコンタクトプラグ)22aを設けるための第1のコンタクトプラグ用凹部25aを、第4の層間絶縁膜20および下部電極加工用ハードマスク19b内に形成する。また、同じく光リソグラフィ法およびR I E法などにより、上部電極用上層配線(第2の配線)21bを設けるための第2の配線用凹部24b、および上部電極用コンタクトプラグ(第2のコンタクトプラグ)22bを設けるための第2のコンタクトプラグ用凹部25bを、第4の層間絶縁膜20、ならびに上部電極加工用ハードマスク膜19aおよび下部電極加工用ハードマスク19b内に形成する。

【0065】

本実施形態では、第2の配線用凹部24bを第1の配線用凹部24aと並行して形成する。それとともに、第2のコンタクトプラグ用凹部(第2のコンタクトホール、上部電極用コンタクトホール)25bを、第1のコンタクトプラグ用凹部(第1のコンタクトホール、下部電極用コンタクトホール)25aと並行して形成する。この際、下部電極用コンタクトホール25aを第1の配線用凹部24aと一体に形成する。同様に、上部電極用コンタクトホール25bを第2の配線用凹部24bと一体に形成する。この後、アッシャー処理を行ってレジストマスクを除去する。

【0066】

次に、第1および第2の配線用凹部24a、24b、ならびに第1および第2のコンタクトホール25a、25bが形成された第4の層間絶縁膜20および下部電極加工用ハー

ドマスク19bの表面上に、バリアメタル膜23となるTi膜23bおよびTiN膜23aをスパッタリング法により順次連続して堆積させる。続けて、スパッタリング法により、第1および第2の配線用凹部24a, 24bの内部、ならびに第1および第2のコンタクトホール25a, 25bの内部が埋まるまで、TiN膜23aの表面上にA1膜を堆積させる。このA1膜は、下部電極用上層配線21a、下部電極用コンタクトプラグ22a、上部電極用上層配線21b、および上部電極用コンタクトプラグ22bの形成材料となる。この後、CMP法により第4の層間絶縁膜20の上面を平坦化することにより、第1および第2の配線用凹部24a, 24bの内部、ならびに第1および第2のコンタクトホール25a, 25bの内部にA1/TiN/Ti積層膜を埋め込む。これにより、デュアルダマシン構造からなる、下部電極用上層配線21aと下部電極用コンタクトプラグ22a、および上部電極用上層配線21bと上部電極用コンタクトプラグ22bを得る。

【0067】

以上の工程により、図4に示すように、オフセット構造のスタック型キャパシタ13を備えるChain FeRAM1の主要部が形成される。以後、図示および詳しい説明は省略するが、所定の工程を経て、所望のChain FeRAM1を得る。

【0068】

以上説明したように、この一実施形態によれば、キャパシタ13の上部電極17と、キャパシタ13を覆って設けられたハードマスク膜19との間に、ハードマスク膜19よりもエッチングレートが低い材料により形成されたエッチングストッパー膜18が設けられている。これにより、例えばキャパシタ下部電極14の上面が下部電極用コンタクトホール25aにより露出されるまで、上部電極用コンタクトホール25bを下部電極用コンタクトホール25aと並行して形成しても、上部電極用コンタクトホール25bがエッチングストッパー膜18を貫通してキャパシタ上部電極17の内部に侵入したり、あるいはキャパシタ上部電極17を貫通したりするおそれがない。すなわち、本実施形態に係る半導体装置としてのChain FeRAM1は、キャパシタ上部電極17の膜減りや突き抜けが防止された構造を有するオフセット構造のスタッ�型キャパシタ13を備えている。したがって、スタッ�型キャパシタ13はもちろんのこと、Chain FeRAM1は、その品質、電気的性能、および信頼性などが向上されている。

【0069】

近年、半導体メモリの大容量化のために、さらなる高集積化および微細化が図られている。それとともに、PZT (Pb_xTi_{1-x}O₃)、BIT (Bi₄Ti₃O₁₂)、あるいはSBT (SrBi₂Ta₂O₉) 等の強誘電体からなる膜をキャパシタ絶縁膜として利用する、強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory) の開発が進められている。不揮発性メモリであるFeRAMは、簡潔に言えば、キャパシタ絶縁膜(容量絶縁膜)を、DRAMに用いられているシリコン酸化膜などから前述したような強誘電体膜に置き換えたものである。FeRAMは、例えば次に述べるような特徴を有しており、次世代メモリとして期待されている。

【0070】

書き込みおよび消去が高速であり、セルを小型化することでDRAMなみの100nsec以下の書き込み時間を達成することが可能である。

【0071】

同じ不揮発性メモリであるSRAMと異なり、電源が必要である。

【0072】

書き換え可能回数が多く、容量絶縁膜として用いる強誘電体材料 (PZT、BIT、SBT等) や、電極材料 (IrO_x、RuO_x、SrRuO₃等) の特性を工夫することにより、10¹²回以上もの書き換え可能回数を達成することが可能である。

【0073】

原理的に高密度化(高集積化)が可能であり、DRAMと同等の集積度を得ることができる。

【0074】

内部の書き込み電圧を、例えば約2V程度まで低くすることができ、消費電力を低く抑えて動作できる。

【0075】

ランダムアクセスによるビット書き換えが可能である。

【0076】

このように、FeRAMは、DRAMよりも優れた点を幾つも有している。

【0077】

一般に、FeRAMでは、キャパシタ絶縁膜にPZT ($Pb(Zr_xTi_{1-x})O_3$)、
BiT ($Bi_4Ti_3O_{12}$)、SBT ($SrBi_2Ta_2O_9$) 等の強誘電体からなる薄膜を使用する。これら各強誘電体は、いずれも酸素八面体を基本構造とするペロブスカイト構造からなる結晶構造を有している。ちなみに、DRAM用キャパシタ材料として検討されている常誘電体BSTも、前記各強誘電体と同様の結晶構造を有している。前記各強誘電体は、従来のSi酸化膜と異なり、アモルファス状態ではその特徴である強誘電性や高誘電性が発現しないので、キャパシタ絶縁膜として使用することができない。前記各強誘電体をキャパシタ絶縁膜として使用するためには、前記各強誘電体を結晶化させるための工程、例えば高温での結晶化熱処理、高温でのIn-situ結晶化プロセスなどが必要となる。材料にもよるが、これらの結晶化プロセスには、一般的に少なくとも約400~700°Cの温度が必要となる。また、前記各強誘電体からなる膜の成膜方法としては、例えばレーザアブレーション法、真空蒸着法、MBE法など各種の方法が研究されている。実用化されている成膜方法としては、MOCVD法、スパッタ法、あるいは溶液法 (CSD: Chemical Solution Deposition) がある。以下、代表的な強誘電体材料であるPZTとSBTを例にとって、それらの特徴について説明する。

【0078】

強誘電体は自発分極があり、その自発分極の向きは電界の向きにより反転可能である。また、強誘電体の自発分極は、強誘電体に電界を印加しない状態でも分極値（残留分極）を有しており、その値（分極の向き）は電界を0とする前の状態に依存する。したがって、強誘電体は、これに印加する電界の向きにより+または-の電荷を結晶表面に誘起することができ、それらいずれかの状態をメモリ素子の0または1に対応させる。従来のFeRAMでは、DRAMと同様に一对のキャパシタとトランジスタとを組み合わせて（1トランジスタ/1キャパシタ：1T/1C）、情報の1ユニットとしていた。しかし、最近は信頼性を向上させるために、主に2T/2C構造のFeRAMが主流になりつつある。また、FeRAMに積極的に使用されている強誘電体材料は、PZT ($Pb(Zr_xTi_{1-x})O_3$) 薄膜、SBT ($SrBi_2Ta_2O_9$) 薄膜である。

【0079】

前者のPZTは、例えば次に述べるような特徴を有している。結晶化温度が約600°Cである。分極値が大きく、残留分極値が約 $20\mu C/cm^2$ である。ヒステリシス曲線で分極値が0となる際の電界値である抗電界が比較的小さいため、低電圧で分極反転が可能である。Zr/Ti組成比を変化させることにより、結晶化温度の他に、グレインサイズ、グレイン形状、および結晶構造などの構造特性、ならびに分極量、抗電界、疲労特性、およびリーク電流などの強誘電特性を容易に制御可能である。ペロブスカイト結晶構造が有する元素許容性に基づき、Aサイトと呼ばれるPbをSr、Ba、Ca、Laなどの元素で、またBサイトと呼ばれるZr、TiをNb、W、Mg、Co、Fe、Ni、Mnなどの元素で、それぞれ置換することが可能である。そして、それら各元素に応じて、PZTの結晶構造、構造特性、強誘電特性などを大きく変えることができる。以上が、PZTが有する主な利点である。

【0080】

PZTは、早くから薄膜化の検討がなされており、スパッタ法や、ゾルゲル法などによる研究例も多い。PZTは、前述した各強誘電体材料のうち、FeRAMのキャパシタ絶縁膜として最初に実用化された材料である。ただし、PZTには前述した様々な利点がある反面、書き込み回数の増加に伴って分極量の減少（疲労特性）が生じる。このよう

なP Z T膜の疲労は、例えばキャパシタ電極をP tにより形成した場合、P Z T膜とP t電極との界面に生じる酸素空孔が主たる原因と考えられている。そして、この酸素空孔の発生理由の一つとして、P bの揮発性および拡散容易性が挙げられる。P bは、ペロブスカイト結晶構造の一部を構成しているため、酸素空孔が生じると近傍の陽イオンと双極子を形成し、スイッチング電荷の減少を引き起す。近年の研究によれば、P Z Tの疲労特性は、電界により加速されることが分かった。この性質を利用して、最近では、F e R A Mの動作電圧の低電圧化を図ったり、キャパシタ電極の材料をP tからS R O (S r R u O₃)やI r O_xなどの酸化物導電体に切り替えたりするなどの、P Z Tの疲労特性の改善がなされている。

【0081】

他方、後者のS B Tは、P Z Tが有する疲労特性の改善、およびP Z T膜を採用したF e R A Mの低電圧駆動を達成するために開発された材料である。S B Tは、B i層状化合物 (Aurivillius Phase) の一種であり、強誘電性の起源となる酸素八面体からなる擬似ペロブスカイト構造層を、B i₂O₂層が挟む結晶構造を有している。この構造により、主たる分極はc軸と垂直な面内にあり、c軸方向の分極は無い。たとえc軸方向に分極があったとしても、その分極値はc軸と垂直な面内の分極値に比べて十分小さい。S B Tは、擬似ペロブスカイト構造中の酸素八面体の数によって、その分極が発現する。S B Tは、揮発性元素であるB iを失っても、電荷を補償する酸素空孔自体がB i酸化物層に生成されるため、その擬似ペロブスカイト構造への直接的な影響は少ない。また、S B Tは、価数が変化し易いT iを含んでいない点でも、P Z Tより優れている。ただし、S B Tは、P Z Tに比べて結晶化温度が高い。

【0082】

以上説明したP b (Z r, T i) O₃などを代表とする各強誘電体膜を用いたF e R A Mや、それら強誘電体膜をキャパシタ絶縁膜として用いた強誘電体キャパシタを備えた混載メモリにおいて、前述したキャパシタ13の上部電極17の膜減りや突き抜けは、それら各半導体装置の生産歩留まりや信頼性を左右する非常に重要な要素となる。また、前述した各コンタクトホール25a, 25bをR I E法により形成する際に発生する水素や、プラズマによる上部電極17に対するダメージも、前記各半導体装置の生産歩留まりや信頼性を左右する非常に重要な要素となる。

【0083】

本実施形態では、前述したように、キャパシタ13を覆って設けられる第1および第2のハードマスク膜19a, 19bとキャパシタ上部電極17との間に、それら各ハードマスク膜19a, 19bよりもエッチングレートの低いエッチングストッパー膜（電極保護膜）18を設ける。これにより、下部電極用および上部電極用の各コンタクトホール25a, 25bをR I E法により形成する際の上部電極17の膜減りや突き抜けを殆ど無くすことができる。このような効果は、例えば0.30 μm以下のデザインルールで製造される、高集積化および微細化が図られたF e R A Mや混載メモリにおいて、それらの生産歩留まりや信頼性を向上できるという点で有効である。特に、図1(a)および(b)に示すChain F e R A M 1のように、キャパシタ13の上部電極17間を上部電極用上層配線21bで接続する半導体装置において、その生産歩留まりや信頼性を大幅に向上できるという点で極めて有効である。さらに、本実施形態によれば、次に述べるような効果も得ることができる。

【0084】

上部電極用上層配線21bおよび上部電極用コンタクトプラグ22bを埋め込み形成する際に、キャパシタ13の上部電極17の膜減りや突き抜けが殆ど無いので、上部電極17に掛かるストレスおよびダメージを殆ど無くすことができる。これにより、キャパシタ13の特性および生産歩留まりを向上させることができる。その結果、半導体装置 (Chain F e R A M) 1の信頼性を向上させることができる。

【0085】

また、上部電極17の膜減りや突き抜けが殆ど無いので、上部電極17に上部電極用上

層配線21b（上部電極用コンタクトプラグ22）を電気的に接合する際の歩留まりを向上させることができる。また、下部電極用および上部電極用の各コンタクトホール25a, 25bをRIE法により形成する際に、キャパシタ絶縁膜16にダメージを殆ど与えずに済む。さらに、各上層配線21a, 21b、および各コンタクトプラグ22a, 22bの形成材料であるAlや、バリアメタル膜23の形成材料であるTiN膜23aやTi膜23bと、キャパシタ絶縁膜16との反応を抑制できるので、キャパシタ13の特性劣化を殆ど無くすことができる。これらの結果、半導体装置1の生産歩留まりや、信頼性を向上させることができる。

【0086】

また、上部電極17の膜減りや突き抜けが殆ど無いので、RIE工程におけるキャパシタ13へのプラズマダメージを殆ど無くすことができる。また、上部電極17上にSRO等の導電性酸化物からなるエッチングストッパー膜18を設けることにより、下部電極用および上部電極用の各コンタクトホール25a, 25bをRIE法により形成する際に発生する、水素によるキャパシタ13へのダメージを殆ど無くすことができる。これらの結果、キャパシタ13の特性劣化を殆ど無くすことができるとともに、キャパシタ13の製造歩留まりや信頼性を向上させることができる。

【0087】

さらに、エッチングストッパー膜（電極保護膜）18にSROなどの酸化物導電体を採用するとともに、エッチングストッパー膜18を酸素雰囲気下で形成することにより、キャパシタ絶縁膜16中に生じた酸素欠損に酸素を補填することができる。この結果、キャパシタ13の信頼性を向上させることができる。

【0088】

なお、本発明に係る半導体装置およびその製造方法は、前述した一実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成または工程などの一部を種々様々な設定に変更したり、あるいはそれらの構成や工程などを適宜、適当に組み合わせて用いたりして実施することができる。

【0089】

例えば、エッチングストッパー膜18は、前述したSRO膜には限られない。エッチングストッパー膜18は、II-A族、IV-A族、およびVIII族に属する金属元素のうち少なくとも1種類の金属元素を含む材料により形成されればよい。具体的には、Sr, Ti, Ru, Ir, Ptのうち少なくとも1種類の金属元素を含む材料により形成されればよい。あるいは、そのような金属元素のうち少なくとも1種類の金属元素を含む酸化物導電体により形成されればよい。そのような酸化物導電体としては、例えばIrO₂, RuO₂, SrRuO₃等が挙げられる。それらの材料をエッチングストッパー膜18として用いた場合でも、前述したSRO膜と同等の効果を得ることができる。また、キャパシタ上部電極17は、エッチングストッパー膜18を形成する材料を少なくとも1種類含む材料により形成されていることが好ましい。これにより、上部電極17の膜減りや突き抜けをより防止することができる。

【0090】

また、前述した一実施形態では、エッチングストッパー膜18に上部電極用コンタクトホール25bによる膜減りや突き抜け等が生じない設定としたが、これに限定されるものではない。少なくとも、上部電極17に膜減りや突き抜け等が生じなければ、エッチングストッパー膜18に膜減りや突き抜け等が生じても構わない。ただし、エッチングストッパー膜18にも、膜減りや突き抜け等が生じないことが好ましいのは、もちろんである。

【0091】

また、下部電極14、上部電極17、ならびに第1および第2のハードマスク膜19a, 19bは、前述した積層膜には限定されない。下部電極14、上部電極17、ならびに第1および第2のハードマスク膜19a, 19bは、それぞれ適宜、適正な材料により形成されればよい。また、下部電極14、上部電極17、ならびに第1および第2のハードマスク膜19a, 19bを、それぞれ単一の材料により形成してもよい。あるいは、下部

電極14、上部電極17、ならびに第1および第2のハードマスク膜19a、19bを、それぞれ独立に単層膜または積層膜に作り分けても構わない。

【0092】

また、第1および第2のハードマスク膜19a、19bを、それぞれ前述したSiO₂/Al₂O₃積層膜により形成する必要はない。Al₂O₃膜の代わりに、TiO₂膜、あるいはTa₂O₅膜等を使っても、Al₂O₃膜と同等の効果を得ることができる。また、第1および第2のハードマスク膜19a、19bは、前述したように同一の材料により形成される必要はない。第1および第2のハードマスク膜19a、19bを、それぞれ別の材料により形成しても構わない。第1および第2のハードマスク膜19a、19bのうち、少なくとも第2のハードマスク膜19bがエッチングストッパー膜18より加工され易い材料により形成されていればよい。また、第1のハードマスク膜19aを、エッチングストッパー膜18と同様に、第2のハードマスク膜19bよりも加工され難い材料により形成しても構わない。これにより、第1のハードマスク膜19aも電極保護膜として用いることができる。第1のハードマスク膜19aは、少なくとも下部電極用コンタクトホール25aと上部電極用コンタクトホール25bとを並行して略同じレートで形成できる程度に加工が容易な材料により形成されていればよい。

【0093】

また、第2のハードマスク膜19bに対するエッチングストッパー膜18のエッチングレートは、必ずしも25%以下には限られない。第2のハードマスク膜19bに対するエッチングストッパー膜18のエッチングレートは、下部電極用コンタクトホール25aと上部電極用コンタクトホール25bとを並行して略同じレートで形成する際に、上部電極17が損傷を受けない大きさであればよい。すなわち、エッチングストッパー膜18、第1のハードマスク膜19a、および第2のハードマスク膜19bは、下部電極用コンタクトホール25aと上部電極用コンタクトホール25bとの深さの差や、それら各コンタクトホール25a、25bの形成方法に応じて、上部電極17が損傷を受けないように、それぞれ適宜、適正な材料により形成されればよい。同様に、エッチングストッパー膜18、第1のハードマスク膜19a、および第2のハードマスク膜19bは、上部電極17が損傷を受けないように、それぞれ適宜、適正な膜厚に形成されればよい。

【0094】

また、下部電極用上層配線21aや下部電極用コンタクトプラグ22a等の材料には、Al膜の代わりにW膜やCu膜等を使っても構わない。その場合、CVD法、メッキ法、あるいは塗布法などによりW膜やCu膜を堆積させるとよい。

【0095】

さらに、本発明が適用可能なキャパシタの構造は、図1(b)や図4に示す、いわゆるConvex型(凸型)のキャパシタ13には限られない。本発明は、様々な構造のキャパシタに適用することができる。特に、Convex型のキャパシタ13と同様に、Stack型のキャパシタに有効である。Stack型のキャパシタとしては、例えればいわゆるCylinder型(シリンドラ型)や、Pedestal型(箱型)のキャパシタに本発明を適用しても、前述した一実施形態と同様の効果を得ることができる。また、たとえStack型のキャパシタではなくとも、キャパシタの上部電極と下部電極との高さが僅かでも異なっていれば、本発明を適用して、前述した効果を得ることができる。例えば、非Stack型のキャパシタとして、いわゆるプレーナ(平面型)構造のキャパシタに本発明を適用しても、前述した一実施形態と同様の効果を得ることができる。

【0096】

さらに、本発明が適用可能な半導体装置は、図1(b)や図4に示す、Chain FeRAM1には限定されない。本発明をより一般的なFeRAMやDRAM、あるいは混載メモリ等に適用しても、前述した一実施形態と同様の効果を得ることができる。

【図面の簡単な説明】

【0097】

【図1】一実施形態に係る半導体装置を示す平面図および断面図。

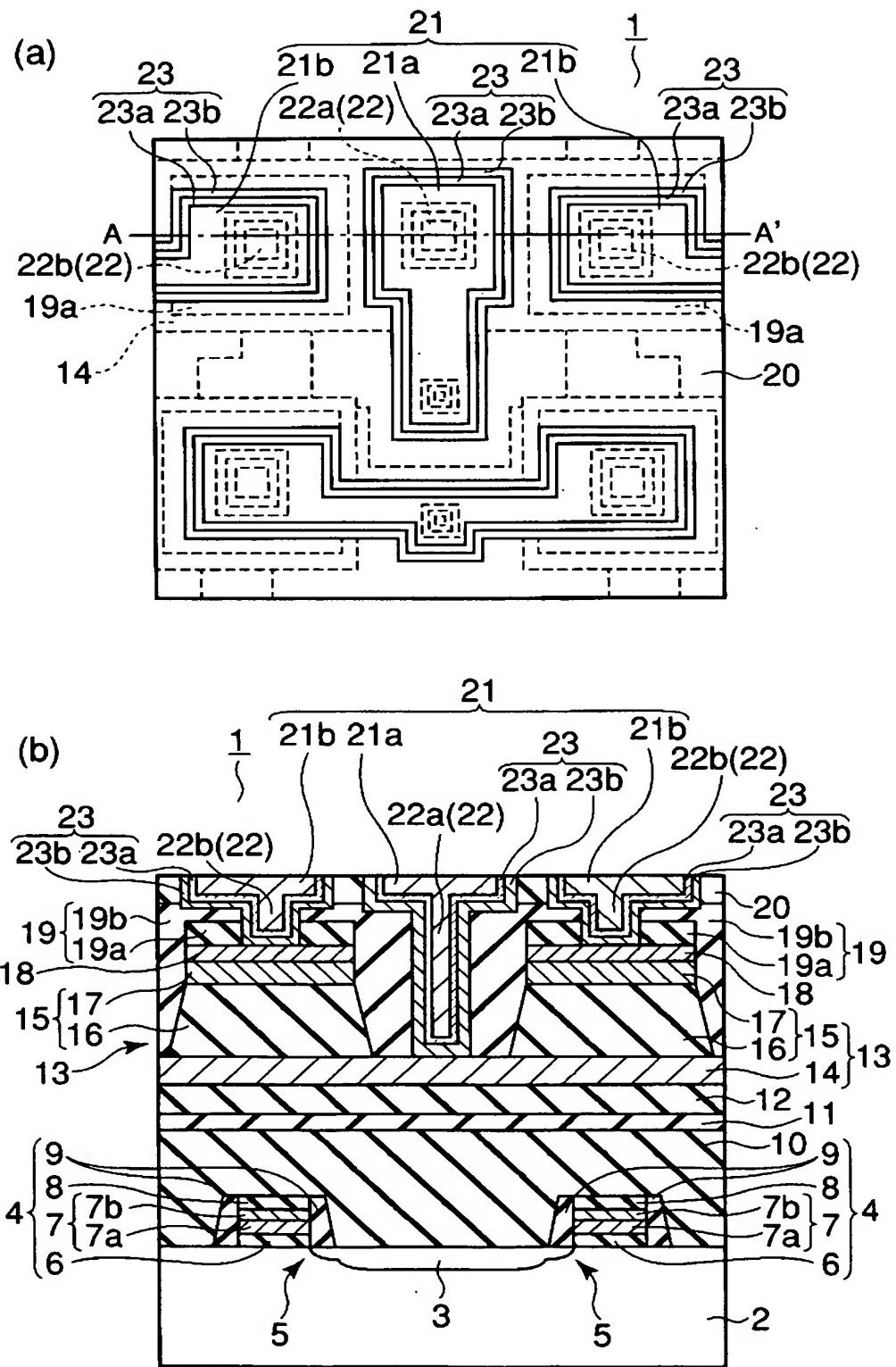
- 【図2】一実施形態に係る半導体装置の製造方法を示す工程断面図。
【図3】一実施形態に係る半導体装置の製造方法を示す工程断面図。
【図4】一実施形態に係る半導体装置の製造方法を示す工程断面図。
【図5】従来の技術に係る半導体装置を示す断面図。

【符号の説明】

【0098】

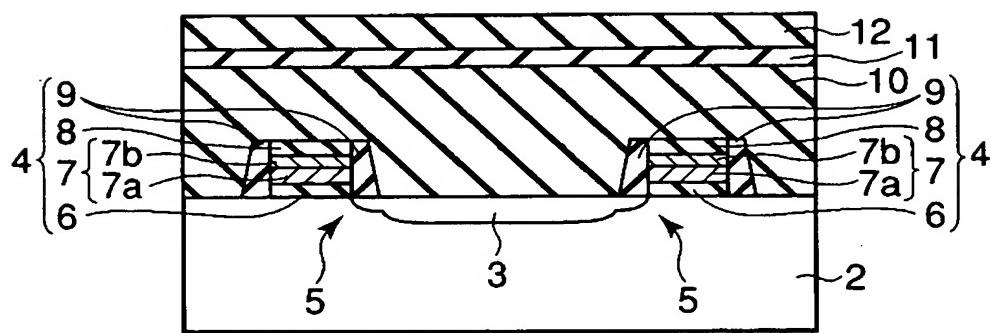
1…Chain F e R A M (半導体装置)、2…p型シリコン基板、13…キャパシタ、14…キャパシタ下部電極、16…キャパシタ絶縁膜、17…キャパシタ上部電極、18…エッキングストッパー膜(電極保護膜)、19…ハードマスク膜、19a…上部電極加工用ハードマスク膜(第1のハードマスク膜)、19b…下部電極加工用ハードマスク膜(第2のハードマスク膜)、21…上層配線、21a…下部電極用上層配線(第1の上層配線)、21b…上部電極用上層配線(第2の上層配線)、22…コントラクトプラグ、22a…下部電極用コントラクトプラグ(第1のコントラクトプラグ)、22b…上部電極用コントラクトプラグ(第2のコントラクトプラグ)、24a…第1の上層配線用凹部、24b…第2の上層配線用凹部、25a…下部電極用コントラクトホール(第1のプラグ用凹部)、25b…上部電極用コントラクトホール(第2のプラグ用凹部)

【書類名】 図面
 【図 1】

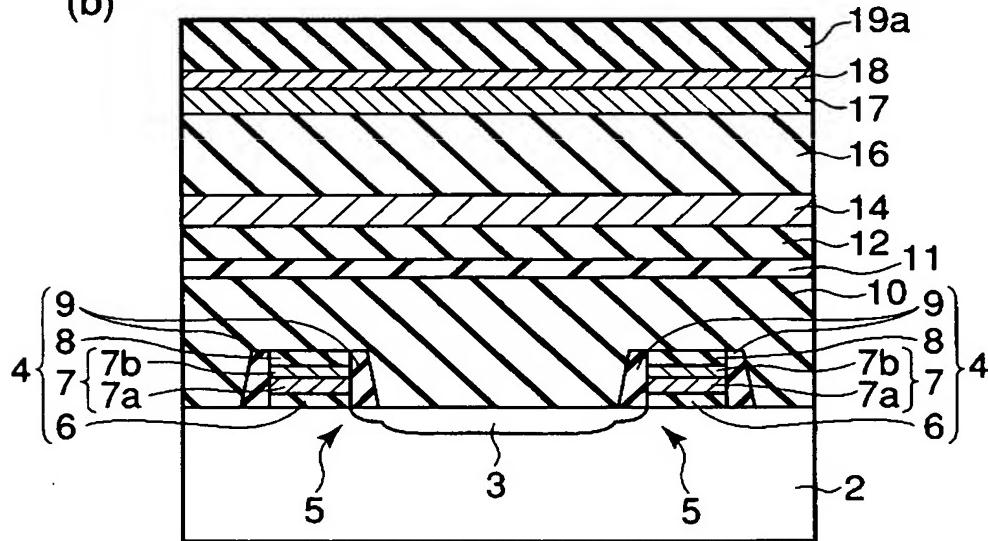


【図2】

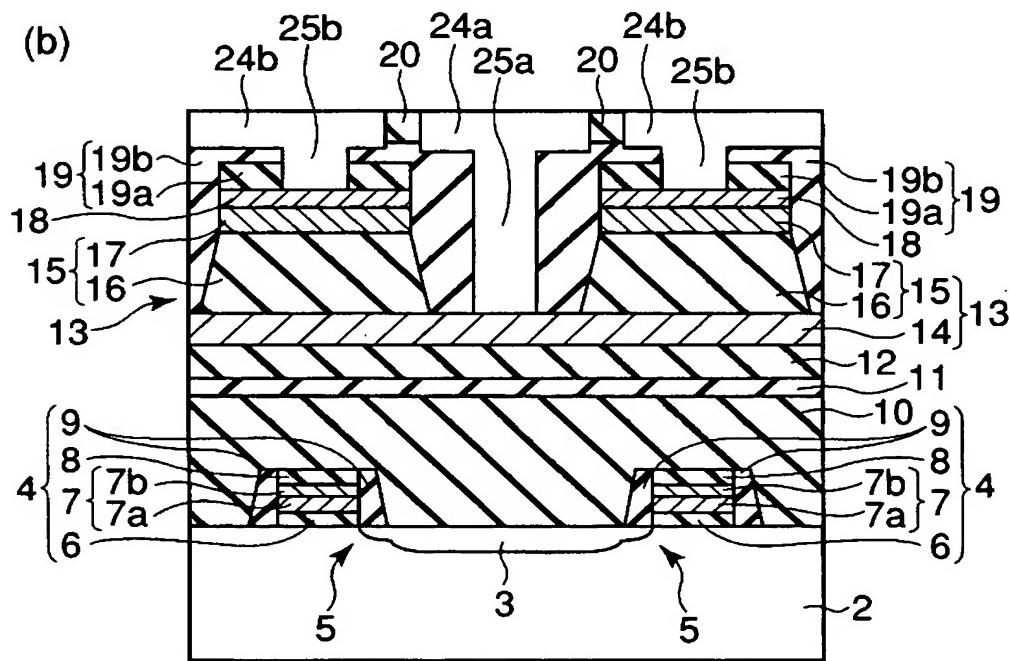
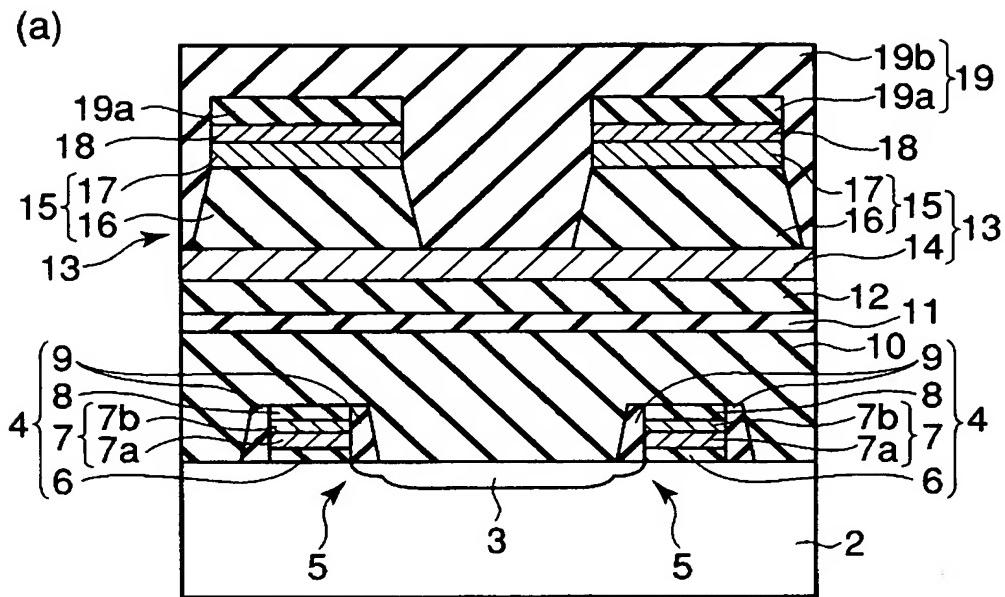
(a)



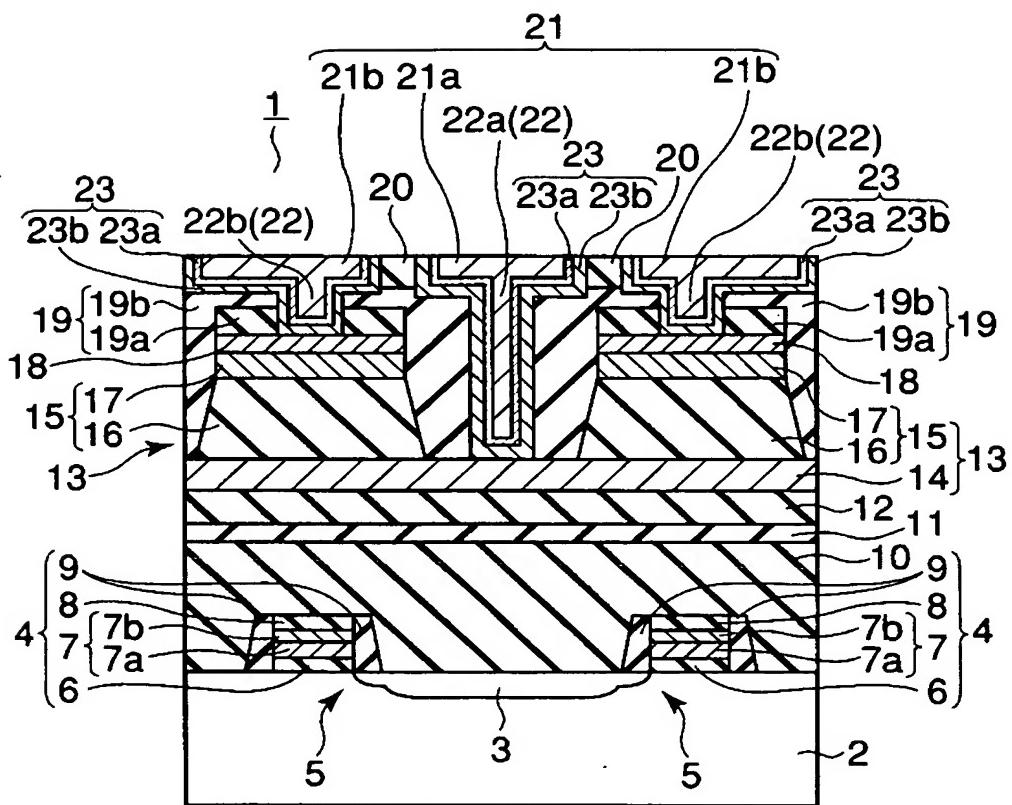
(b)



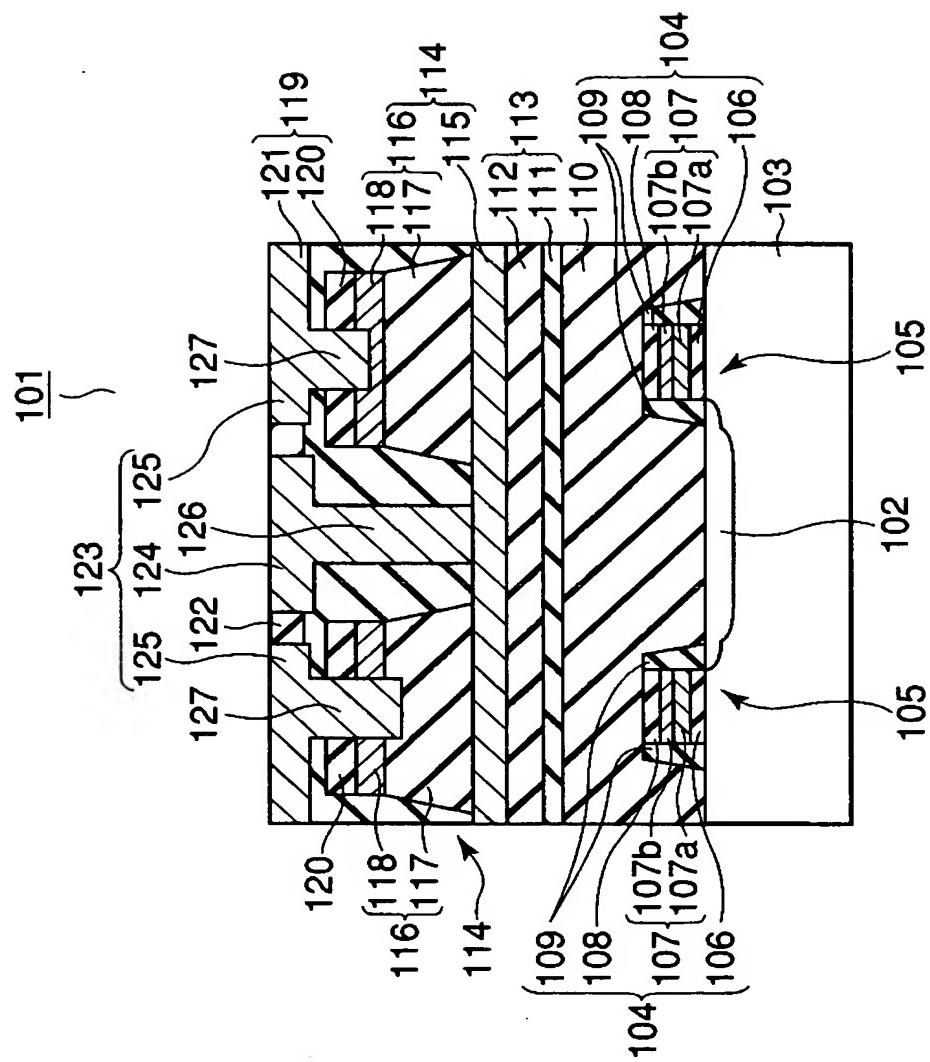
【図3】



【図 4】



【図 5】



【書類名】要約書

【要約】

【課題】上部電極の膜減りや突き抜けが防止されて、品質、電気的性能、および信頼性の向上が図られたキャパシタを備えた半導体装置を提供する。

【解決手段】キャパシタ13の上部電極17の上面を覆って導電体からなるエッチングストッパー膜18を設ける。キャパシタ13およびストッパー膜18を覆ってストッパー膜18よりもエッチングレートが高い材料からなるハードマスク膜19を設ける。ハードマスク膜19上に設けられた下部電極用上層配線21aを、下部電極用プラグ22aを介して下部電極14に電気的に接続する。これと並行して、ハードマスク膜19上に設けられた上部電極用上層配線21bを、上部電極用プラグ22bおよびストッパー膜18を介して上部電極17に電気的に接続する。

【選択図】 図1

特願2003-323330

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝